

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-165136

(43)Date of publication of application : 07.06.2002

(51)Int.Cl. H04N 5/335  
H01L 27/146  
H04N 5/228  
H04N 9/07

(21)Application number : 2000-363216

(71)Applicant : CANON INC

(22)Date of filing : 29.11.2000

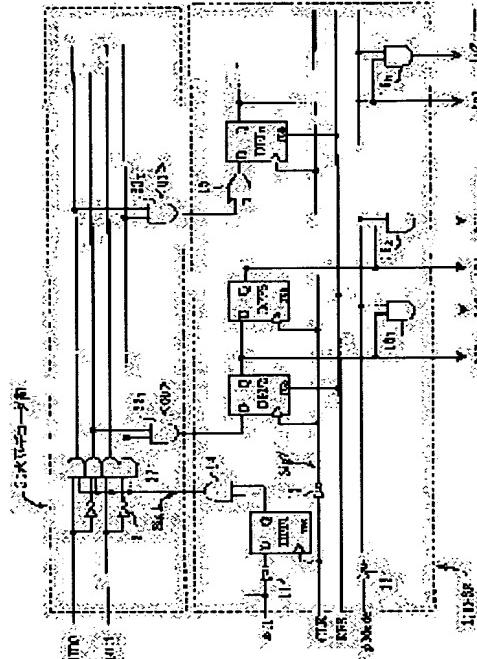
(72)Inventor : HAYASHI HIDETOSHI

## (54) IMAGING APPARATUS AND IMAGING SYSTEM

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To start and finish scanning of shift register operation from voluntary position, by merely using a simple circuit configuration.

**SOLUTION:** This imaging apparatus has plural pixels for carrying out photoelectric conversion from a light information to an electrical signal, a switching means for switching both the first readout mode reading out electrical signals with high resolution from plural pixels, the second readout mode for reading out electrical signals with low resolution from plural pixels, and a readout means for starting and finishing scanning, through read out in a voluntary pixel position among plural pixels in both the first readout mode and the second readout mode.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-165136

(P2002-165136A)

(43)公開日 平成14年6月7日(2002.6.7)

(51)Int.Cl.  
H 04 N 5/335  
H 01 L 27/146  
H 04 N 5/228  
9/07

識別記号

F I  
H 04 N 5/335  
5/228  
9/07  
H 01 L 27/14

テマコード(参考)  
P 4 M 1 1 8  
E 5 C 0 2 2  
Z 5 C 0 2 4  
A 5 C 0 6 5  
A

審査請求 未請求 請求項の数11 OL (全 15 頁)

(21)出願番号 特願2000-363216(P2000-363216)  
(22)出願日 平成12年11月29日(2000.11.29)

(71)出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(72)発明者 林 英俊  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内  
(74)代理人 100065385  
弁理士 山下 積平

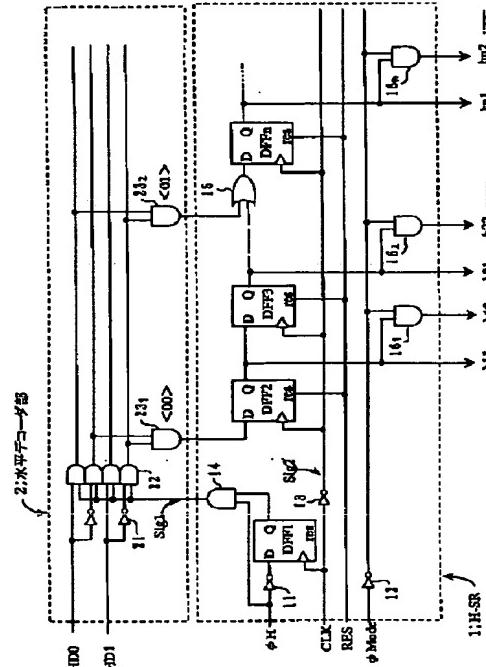
最終頁に続く

(54)【発明の名称】 撮像装置及び撮像システム

(57)【要約】

【課題】 簡単な回路構成だけで、任意の位置からシフトレジスタ動作を走査開始、終了する。

【解決手段】 光情報を電気信号に光電変換する複数の画素と、複数の画素から電気信号を高解像度で読み出す第1の読み出しモードと複数の画素から電気信号を低解像度で読み出す第2の読み出しモードとを切り替える切り替え手段と、第1の読み出しモードと前記第2の読み出しモードとにおいて、複数の画素のうちの任意の画素位置で読み出し走査開始、終了するための読み出し手段と、を有する。



## 【特許請求の範囲】

【請求項1】 光情報を電気信号に光電変換する複数の画素と、前記複数の画素から前記電気信号を高解像度で読み出す第1の読み出しモードと前記複数の画素から前記電気信号を低解像度で読み出す第2の読み出しモードとを切り替える切り替え手段と、前記第1の読み出しモードと前記第2の読み出しモードとにおいて、前記複数の画素のうちの任意の画素位置で読み出し走査開始、終了するための読み出し手段と、を有する撮像装置。

【請求項2】 請求項1に記載の撮像装置において、前記複数の画素には複数色の色フィルターが繰り返し配されてなり、前記複数の画素は、前記第2の読み出しモードにおいてそれぞれ低解像度の複数色の信号が読み出される画素群の複数からなり、前記読み出し手段は任意の前記画素群について読み出し走査開始を行うことを特徴とする撮像装置。

【請求項3】 請求項1に記載の撮像装置において、前記第2の読み出しモードは、画素を間引いて低解像度で読み出すモードであって、前記読み出し手段は、入力される開始信号に基づいて、各画素から順次信号を読み出すための複数の走査手段と、任意の画素位置から読み出し走査開始を行うために前記開始信号を前記任意の画素位置に対応する走査手段に与える信号印加手段と、を有し、前記画素を間引いて低解像度で読み出すモードのときに、間引きを行わない画素に対応する走査手段に前記開始信号を加えることを特徴とする撮像装置。

【請求項4】 請求項1又は請求項2に記載の撮像装置において、前記読み出し手段は、画素から順次信号を読み出すためのシフトレジスタと、該シフトレジスタの走査開始位置を規定するデコーダ回路とを有することを特徴とする撮像装置。

【請求項5】 請求項3に記載の撮像装置において、前記走査手段はフリップフロップ、前記信号印加手段はデコーダである撮像装置。

【請求項6】 請求項1、2又は4に記載の撮像装置において、前記第2の読み出しモードは、画素を間引いて低解像度で読み出すモードである撮像装置。

【請求項7】 請求項1、2又は4に記載の撮像装置において、前記第2の読み出しモードは、2以上の画素を加算して低解像度で読み出すモードである撮像装置。

【請求項8】 光情報を電気信号に光電変換する複数の画素と、前記複数の画素から前記電気信号を高解像度で読み出す第1の読み出しモードと前記複数の画素から前記電気信号を低解像度で読み出す第2の読み出しモードとを切り替える切り替え手段と、

前記第1の読み出しモードと前記第2の読み出しモードとにおいて、前記複数の画素のうちの任意の画素位置で読み出し走査開始、終了するための読み出し手段とを有し、

前記読み出し手段は、前記複数の画素を順次走査する走査手段と、前記走査手段を複数の領域に分割し、前記複数の領域中の任意の領域から走査の開始を行うための走査開始信号を前記走査手段に与える信号印加手段とを含むことを特徴とする撮像装置。

10 【請求項9】 請求項8に記載の撮像装置において、前記走査手段は、シフトレジスタを含み、前記信号印加手段は、デコーダを含むことを特徴とする撮像装置。

【請求項10】 請求項1～9のいずれかの請求項に記載の撮像装置において、前記複数の画素はオプティカルブラック画素を含む撮像装置。

【請求項11】 請求項1～10のいずれかの請求項に記載の撮像装置と、該撮像装置へ光を結像する光学系と、該撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

20 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は撮像装置及び撮像システムに係り、特に静止画のような高解像度の撮像と、動画のような低解像度の撮像が同時に実行できる動作を選択可能で、ランダムアクセスが可能な撮像装置及び撮像システムに関する。

## 【0002】

【従来の技術】デジタルスチルカメラは200万画素を超えるような撮像素子が主流となりつつあるが、その一方でビデオカメラは撮像素子に必要とされる画素数は40万画素程度である。このビデオカメラで必要とされる低画素を、200万画素という高画素から効率よく作成する方法として、特願平11-151615号公報に開示された方法が挙げられる。これは必要な画素を間引いて読み出すのではなく、マトリクス状に配置されたカラーフィルターの同色の画素を加算するものであり、加算時における低速駆動を可能とし、また単純な間引きよりもS/Nが良いという利点が挙げられる。

## 【0003】

30 【発明が解決しようとする課題】本発明は、上記の構成において、例えば、低解像度で読み出すモードにおいて、電子ズームのような、ある画角だけを読み出せばよいシステムのときに、より低消費電力で駆動できる撮像装置及び撮像システムを提供するものである。

## 【0004】

【課題を解決するための手段】本発明の撮像装置は、光情報を電気信号に光電変換する複数の画素と、前記複数の画素から前記電気信号を高解像度で読み出す第1の読み出しモードと前記複数の画素から前記電気信号を低解像度で読み出す第2の読み出しモードとを切り替える切

50

り替え手段と、前記第1の読み出しモードと前記第2の読み出しモードとにおいて、前記複数の画素のうちの任意の画素位置で読み出し走査開始、終了するための読み出し手段と、を有するものである。

【0005】本発明の撮像システムは、本発明の撮像装置と、該撮像装置へ光を結像する光学系と、該撮像装置からの出力信号を処理する信号処理回路とを有するものである。

#### 【0006】

【実施例】以下、本発明の実施例において図面を用いて詳細に説明する。

【0007】まず、本実施例が適用される撮像装置の全体構成について説明する。この撮像装置の構成は、特願平11-151615号に開示された構成である。

【0008】図8は本実施例に係わる撮像装置による画素信号読出し方法を示す概略説明図である。図8では撮像素子の出力は4チャンネルあり、撮像素子のマトリクス状に配された各画素のカラーフィルターは市松模様状に配置されており、G(緑)フィルターは市松模様の半分に配され、R(赤)フィルター、B(青)フィルターは市松模様の残りの半分にそれぞれ半分づつ配されている。

【0009】高解像度読出しの場合(システム1)は各画素信号が独立に読出される。すなわち、出力Aからは読み出し回路111により画素信号G11, G13, G15・・・が出力され、出力Bからは読み出し回路111により画素信号G22, G24, G26・・・が出力され、出力Cからは読み出し回路112により画素信号B21, B23, B25・・・が出力され、出力Dからは読み出し回路112により画素信号R12, R14, R16・・・が出力される。

【0010】また、低解像度読出し(システム2)では同色画素信号が加算して読出され、Gフィルターが配された斜め方向の画素からの信号は読み出し回路111により2行分加算読み出しされ、R又はBフィルターが配された水平方向の画素からの信号は読み出し回路112により2行分加算読み出しされる。すなわち、出力Aからは読み出し回路111により画素信号G11+G22, G13+G24, ・・・、及び画素信号G15+G26, G17+G18, ・・・が出力され、出力Cからは読み出し回路112により画素信号B21+B23, B25+B27, ・・・が出力され、出力Dからは読み出し回路112により画素信号R12+R14, R16+R18・・・が出力される。なお、ここでは出力Bから信号が出力されていないが、出力Aからは画素信号G11+G22, G15+G26, ・・・が出力され、出力Bからは画素信号G13+G24, G17+G28・・・が出力されるようにしてもよい。

【0011】撮像素子は画素数が1000V×2000Hの200万画素のハイビジョン用センサーとする。

【0012】システム1のハイビジョン動画の場合は、

各出力(A, B, C, D)からは各色信号が約40MHz(200万画素×60フィールド/秒×(4/3))で出力される(4/3はブランディング期間を考慮したものである)。システム1のハイビジョン静止画(デジタルスチルカメラ)の場合は、例えば6枚/秒の時は約4MHzで出力される。

【0013】次にシステム2はNTSCインターレース走査とすると、4チャンネル出力では約10MHz(インターレース走査で1/2、加算で1/2)(Gの加算信号)を1チャンネルで出力する場合は約20MHzとなる。

【0014】システム2では2つの画素行においてG信号は斜め加算、R, B信号は水平加算としている。G信号を斜め加算することにより、G(緑)の解像度はR(赤), B(青)より2倍の解像度が得られる。

【0015】Gの高域成分を輝度信号の高域成分として利用すれば高解像度が得られるとともに、間引きして捨てる信号がなく、低速駆動で消費電力を減らすことができる。

【0016】図9はCMOSセンサーおよび読み出し回路を示す回路図である。CMOSセンサーは各画素アンプのバラツキとゲート部のリセットノイズがあるのでそのノイズを除去するため出力部に信号用メモリCT1とノイズ用メモリCT2を設けて、減算処理によりノイズを除去している。

【0017】図9において、破線領域はCMOSセンサーの一画素部を示し、PDはフォトダイオード、MTXは転送用トランジスタ、MRESはリセット用トランジスタ、MSFは画素アンプとなる増幅用トランジスタ、MSEは画素を選択する選択用トランジスタである。リセット用トランジスタMRES、MRVをオンして画素部および垂直出力線のリセットを行った後に画素アンプ、選択用トランジスタMSEL、トランジスタMCT2を介してノイズ用メモリCT2にノイズ信号を蓄積する。また、転送用トランジスタMTXをオンして、フォトダイオードPDから光電変換された信号が画素アンプとなる増幅用トランジスタMSFのゲートに転送され、画素アンプ、選択用トランジスタMSEL、トランジスタMCT1を介して信号用メモリCT1にノイズ信号成分を含む信号を蓄積する。そ

して、信号用メモリCT1に蓄積されたノイズ信号成分を含む信号と、ノイズ用メモリCT2に蓄積されたノイズ信号とを水平出力線に出力し、減算処理して画素アンプのバラツキとゲート部のリセットノイズ等のノイズ成分が除去された信号を得る。 $\phi$ SEL、 $\phi$ TX、 $\phi$ RES、 $\phi$ RV、 $\phi$ TS、 $\phi$ TNはそれぞれ選択用トランジスタMSEL、転送用トランジスタMTX、リセット用トランジスタMRES、MRV、トランジスタMCT1、MCT2を制御する制御信号である。また、トランジスタMLは画素アンプMSFの負荷である。 $\phi$ Lは $\phi$ SELと共に駆動するか、常にHレベルとして抵抗としても良い。

【0018】図10は本実施例に係わる撮像装置の回路構成図である。なお図10の各画素部は図9に示したものと同一構成である。ノイズ除去手段は簡略化のために省略されているが図9と同様に、ノイズ用メモリとノイズ信号出力用の水平出力線を設け、減算処理して画素アンプのバラツキとゲート部のリセットノイズ等のノイズ成分が除去された信号を得ることができる。

【0019】図10の上側のメモリ回路は2行分のG信号を蓄積する。また、下側のメモリ回路は2行分のR信号とB信号を蓄積する。画素G11, R12, B21, G22の信号読み出しを例にとって説明すると、画素G11からの信号は切り換えトランジスタMG11を介してメモリCG11に蓄積され、画素G22からの信号は切り換えトランジスタMG12を介してメモリCG22に蓄積される。そして、画素B21からの信号は切り換えトランジスタMB11を介してメモリCB21に蓄積され、画素R12からの信号は切り換えトランジスタMR12を介してメモリCR12に蓄積される。トランジスタMA1はメモリCG11とメモリCG22とに蓄積された信号を加算するトランジスタ、トランジスタMA2はメモリCG13とメモリCG24とに蓄積された信号を加算するトランジスタ、トランジスタMA3はメモリCB21とメモリCB23とに蓄積された信号を加算するトランジスタ、トランジスタMA4はメモリCR12とメモリCR14とに蓄積された信号を加算するトランジスタである。 $\phi T1$ 、 $\phi T2$ 、 $\phi A1$ は、それぞれトランジスタMG11, MG21, MR12, MR22、トランジスタMG12, MG22, MB11, MB21、トランジスタMA1～MA4を制御する制御信号である。また、 $\phi hc1$ は水平出力線をリセットするトランジスタMhc1～Mhc4を制御する制御信号である。

【0020】図11に画素信号をメモリへ転送するタイミング図を示し、図12にメモリ信号を独立に読出す時と加算して読出す時とのタイミング図を示す。

【0021】図11の期間t1で第1行目の画素列の制御信号 $\phi RES$ 、 $\phi RV$ をHレベルとしてリセット用トランジスタMRES、MRVをオンして画素及び垂直出力線のリセットを行う。

【0022】次に、期間t2で第1行目の画素列の制御信号 $\phi TX$ 、 $\phi SEL$ をHレベルとして転送用トランジスタMTX、MSELをオンし、さらに $\phi T1$ をHレベルとしてトランジスタMG11, MG21, MR12, MR22, …をオンして画素G11, R12, …, G1(n-1), R1nで光電変換された信号電荷に対応する信号をメモリCG11～CG1(n-1), CR12～CR1nに転送する。なお、不図示のリセットノイズ等のノイズ信号の転送は期間t1と期間t2との間に行う。

【0023】次に、期間t3で第2行目の画素列の制御信号 $\phi RES$ 、 $\phi RV$ をHレベルとしてリセット用トランジスタMRES、MRVをオンして画素及び垂直出力線のリセットを行う。

【0024】次に期間t4で第2行目の画素列の制御信号 $\phi TX$ 、 $\phi SEL$ をHレベルとして転送用トランジスタMTX、MSELをオンし、さらに $\phi T2$ をHレベルとしてトランジスタMB11, MB21, MG12, MG22をオンして画素B21, G22, …, B2(n-1), G2nで光電変換された信号電荷に対応する信号をメモリCB21～CB2(n-1), CG22～CG2nに転送する。なお、不図示のリセットノイズ等のノイズ信号の転送は期間t3と期間t4との間に行う。

【0025】以上の動作で2行の画素信号のなかで斜め方向に配列されたG画素からのG信号は上側のメモリへ蓄積され、R, B信号は下側のメモリへ蓄積されたことになる。

【0026】システム1は各画素信号の独立読出しなので、図12に示すように $\phi Model$ はHレベルとなり、水平走査回路となる水平シフトレジスタ(H・SR)からの水平シフトパルス $h11 \sim h1n$ と $h12 \sim h1n$ は同相で駆動する。従って、 $2 \times 2$ 画素単位のR, B, G信号が同相で水平出力線へ転送され、出力アンプでノイズが除去され、出力される。

【0027】システム2は加算読出しなので、 $\phi Model$ はLレベル、加算パルス $\phi A$ がHレベルとなる。これによってGは隣接する2列の信号が加算され、RとBは1列おいた同色信号が加算される。この結果、Gは斜め加算され、RとBは水平方向で同色加算されることになる。すなわち、各々G11とG12, G13とG24, …, G1(n-1)とG2nが加算され、各々B21とB23, …, B2(n-3)とB2(n-1)が加算され、各々R12とR14, …, R1(n-2)とR1nが加算されたことになる。水平出力

線への転送は、水平シフトパルス $h11 \sim h(n/2)1$ がHレベル、水平シフトパルス $h12 \sim h(n/2)2$ はLレベルのままの状態で行われる。

【0028】本実施例では、G信号はAチャンネルへ、B信号はCチャンネルへ、R信号はDチャンネルへ出力される。Bチャンネルは信号が出力されず不使用なので電源がオフに制御される。信号加算はメモリ上で行なつたが、加算方法はこれに限らず、メモリ信号を水平出力線で加算してもよい。また画素上で加算しても良い。

【0029】図13は共通アンプ画素の例を示す図である。図13に示すように、a11, a12, a21, a22は各画素の光電変換部となるフォトダイオード、MSFは共通アンプとなる増幅用トランジスタ、MTX1～MTX4はフォトダイオードに蓄積された信号電荷を共通アンプの入力部となるフローティングディフェージョン領域(FD領域)に転送する転送用トランジスタ、MRESはFD領域をリセットするリセット用トランジスタ、MSELは共通アンプ画素を選択する選択用トランジスタである。トランジスタMSF, MSELはソースフォロア回路を構成する。かかる共通アンプ画素は4つのフォトダイオードからの信号が共通アンプを介して出力され、4画素で一つ

の単位セルを構成する。1つの画素はフォトダイオード、転送用トランジスタを含み、共通アンプ、リセット用トランジスタ、選択用トランジスタからなる共通回路の一部を含んでいる。フォトダイオード a 11, a 22にG フィルター、フォトダイオード a 21にBフィルター、フォトダイオード a 12にRフィルターを配し、転送トランジスタMTX1, MTX4をオンすると、フォトダイオード a 11 (G 1 1) とフォトダイオード a 22 (G 2 2) からの信号が共通アンプのゲートで加算され、出力される信号が2倍になりS/Nが向上する。共通アンプを8画素単位にすると共通アンプのゲートで各色毎 (R, B, G毎) に加算ができる。

【0030】図10のカラー撮像装置の走査としては、ノンインタース (プログレッシブ) 走査では垂直走査回路 (V・SR) により水平信号線V1とV2を一組として走査し、以後水平信号線V3とV4、水平信号線V5とV6、のように2水平信号線を組として走査する。

【0031】インタース走査では、第一フィールドでは水平信号線V1とV2、水平信号線V5とV6、水平信号線V9とV10、・・・の組で走査し、第二フィールドでは水平信号線V3とV4、水平信号線V7とV8、・・・の組で走査する。この様に走査し、画素信号を加算読み出し信号処理をすることで、垂直500本の解像度が得られる。

【0032】本実施例では2本の画素行で加算を行なったが、それ以上の画素行を加算しても良い。また同様に、水平方向の加算を2画素で行なったがそれ以上でも良い。すなわち、システムの要請によって任意に設定することができる。

【0033】次に、本実施例の特徴部分となる撮像装置の読み出し系の構成について説明する。

【0034】図1はランダムアクセス可能な構成を表す読み出し手段であり、具体的には、信号印加手段である水平デコーダ部及び走査手段であるシフトレジスタで構成されている。水平デコーダ及びシフトレジスタ以外の画素部や、画素データを電荷として1H分蓄積するラインメモリなどの構成は、図10と同じである。図1に述べる水平シフトレジスタ (H・SR) 1は図10のH・SRに対応する。

【0035】図1に示すように、この水平シフトレジスタ1においては、図10に記述されている $\phi H$ 、 $\phi Mode$ の他に、リセットパルス (RES) 、クロックパルス (CLK) が入力できるようになっている。また水平走査を開始するために、水平デコーダ部2に入力される水平アドレス入力 (HD0, HD1) により、水平シフトレジスタ1にスタートパルスを入力する構成になっている。また、垂直シフトレジスタ (V・SR) は図1のような161～16nのANDが不要であり、DFFからの出力信号がそのまま水平選択線となる構成をとる。それ以外の部分はH・SRと同じ構成であるので、以下、水平シフトレ

ジスタについてのみ説明する。

【0036】まず図1に示す水平シフトレジスタと水平デコーダ部のプロック構成であるが、水平デコーダ部2は、入力としてHD0を下位桁、HD1を上位桁とし、AND回路22、AND回路23<sub>1</sub>, 23<sub>2</sub>, …とインバータ21で構成したものである。水平シフトレジスタ1はD型フリップフロップDFF1～DFFn、インバータ11, 12, 13、AND回路14, 16<sub>1</sub>～16<sub>n</sub>, …、OR回路15で構成している。なお、水平デコーダ部2として、AND回路やインバータ以外の素子を用いたり、水平シフトレジスタ1として、スイッチング素子を用いて構成してもよい。なお、本実施例において、切り替え手段はAND回路16<sub>1</sub>～16<sub>n</sub>、インバータ12、読み出し手段は水平デコーダ部と水平シフトレジスタが対応する。本実施例は切り替え手段は水平シフトレジスタの一部として説明を行う。

【0037】動作説明を図1の構成図と図2のタイミング図を用いて行う。ここでは、図11の $\phi H$ が立ち上がるタイミングから説明するが、フォトダイオードからの電荷転送や、メモリまでの蓄積タイミング、及び加算方式は既に説明した図10～図12と同じである。

【0038】図2は全画素モード (高解像度モード) における水平転送のタイミングである。 $\phi Mode$ は全画素モードであるのでLowレベルである。AND回路16<sub>1</sub>～16<sub>n</sub>, …の各一方の端子は $\phi Mode$ の反転信号のHighレベルが印加され、D型フリップフロップDFF1～DFFnの出力が順次Highレベルとなったときに水平シフトパルスh11, h21, …の他に水平シフトパルスh12, h22, …が出力され全画素モードとなる。なお、図3に示すように、全画素モードでランダムアクセスを行う場合も $\phi Mode$ はLowレベルである。

【0039】まず水平デコーダ部2の水平アドレス入力 (HD0, HD1) として<00>、すなわち、HD0はLowレベル、HD1はLowレベルを入力する。

【0040】まず、D型フリップフロップ (DFF1) とインバータ11、AND回路14で $\phi H$ の立ち上がりを捕えて1CLK分を生成する。その内部動作をSig1に示す。

【0041】次に生成された1CLK分の信号と水平デコーダ部2の状態信号 (HD1, HD2の信号及びこれらの反転信号) をAND回路22でANDし、さらにAND回路23<sub>1</sub>でANDすることにより、<00>の1パルス分の信号を作成してD型フリップフロップ (DFF2) に入力する。

【0042】D型フリップフロップ (DFF2) に入力された1パルス分の信号を中心で捕えるために、入力CLKがインバータ13で反転されたインバータ信号 (Sig2) でD型フリップフロップ (DFF2) 以降を動作させる。それによりD型フリップフロップ (DFF2) からの出力及びAND回路16<sub>1</sub>からの出力とし

て、水平シフトパルス  $h_{11}, h_{12}$  が出力され、その後、クロックパルスにより信号が伝播し、シフトレジスタが走査していき、水平シフトパルス  $h_{21}, h_{22}, \dots$  が出力される。

【0043】全画素走査し終わったところでリセットパルス (RES) を入力して各D型フリップフロップ (DFF1, DFF2, ...) のリセットを行う。これにより全画素走査を行う。

【0044】図3は全画素モードにおいて、任意の位置から読み出すランダムアクセス機能を用いる時の動作タイミング図である。図1において、水平デコーダ部2の水平アドレス入力HD1、HD0に<01>、すなわちHD0にHighレベルを、HD1にLowレベルを入力する。このときAND回路23<sub>1</sub>の出力はLowレベル、AND回路23<sub>2</sub>の出力はHighレベルとなる。そのため水平シフトレジスタ1のスタートパルスはD型フリップフロップ (DFFn) から始まり、次の信号S<sub>i g</sub>2の立ち上がりで水平シフトパルス  $h_{n1}, h_{n2}$  を出力する。この構成により、任意の画素位置から走査を開始することができる。走査終了はリセットパルス (RES) を与えることにより各D型フリップフロップがリセットされるので、1水平期間の最後まで走査せざとも、途中で走査を終了することができる。これにより例えば、水平2000画素分の全ビットを指定できるだけのアドレス線をもつことができれば、全画素モードのランダムアクセスを可能となる。

【0045】図4は画素加算モード（低解像度モード）における水平転送のタイミング図である。全画素モードの図2のときと異なるのはφModeがHighレベルとなることである。AND回路16<sub>1</sub>～16<sub>n</sub>, …の各一方の端子はφModeの反転信号のLowレベルが印加され、D型フリップフロップDFF1～DFFnの出力が順次Highレベルなったときに水平シフトパルス  $h_{11}, h_{21}, \dots$  みが出力され、水平シフトパルス  $h_{12}, h_{22}, \dots$  は出力されない。これにより加算モードに対応する。

【0046】図5は加算モードにおいて、任意の位置から読み出すランダムアクセス機能を用いる時の動作タイミング図である。図1において、水平デコーダ部2の水平アドレス入力HD1、HD0に<01>、すなわちHD0をHighレベル、HD1をLowレベルを入力する。このときAND回路23<sub>1</sub>の出力はLowレベル、AND回路23<sub>2</sub>の出力はHighレベルとなる。そのため水平シフトレジスタ1のスタートパルスはD型フリップフロップ (DFFn) から始まる。φModeがHighレベルなので、水平シフトパルス  $h_{n1}, \dots$  がout力され、水平シフトパルス  $h_{n2}, \dots$  は出力されない。これにより加算モードにおいて、任意の位置から走査を始めることができ、なおかつ、リセットパルス (RES) を任意のタイミングで入力することにより、任意の範囲を走査することができる。

【0047】また、この構成で間引きモードに対応することもできる。例えば図8の、4×4画素の16画素のうち、G11, R14, B41, G44だけを抜き出して読み出すような場合、図1において、水平シフトパルス  $h_{12}, h_{22}$  にφModeでマスクが掛かるような構成になっているが、これを水平シフトパルス  $h_{12}, h_{21}$  にだけマスクが掛かる構成とし、垂直シフトレジスタ (V·SR) も同じ構成にすれば間引きに対応できる。

【0048】また、間引きの仕方では4×4画素の16画素のうちG11, R12, B21, G22だけを読み出すような方式の場合、図6で示すような回路構成で行うことができる。これは図1に示した水平シフトパルスのうち、水平シフトパルス  $h_{21}, h_{22}$  を出力するD型フリップフロップDFF3そのものを、AND回路17、一方の端子側にインバータを接続したAND回路18により、スキップしながら読み出す構成になっている。この回路構成により、間引き時においては、水平シフトパルス  $h_{11}, h_{12}, h_{31}, h_{32}, \dots$  と読み出しができ、低駆動周波数で必要な画素だけを読み出すことができる。このとき、間引きを行う画素ラインに對応するDFF3にはスタートパルス（開始信号）が加わらないようとする。

【0049】低解像度モードにおいて、RGBの色信号を読み出す画素領域（例えばG11, R12, B21, G22を読み出す場合はG11, R12, B21, G22の2×2画素が画素領域、G11, R14, B41, G44を読み出す場合はG11, R14, B41, G44が含まれる4×4画素が画素領域）ごとにランダムアクセスすることができる。例えば、G11, R12, B21, G22を読み出した後に、G1n, R1n+1, B2n, G2n+1を読み出したい場合にはR12, G22を含む画素ラインで走査を終了させ、G1n, B2nを含む画素ラインから走査を開始することができるよう、水平デコーダの開始信号を入力する。

【0050】またこの間引きと、既に説明した加算モードを組み合わせることによって、全画素モード（高解像度の読み出しモード）、加算モード（低解像度の読み出しモード）、間引きモード（低解像度の読み出しモード）の3つに對応することも可能である。

【0051】またこれらのモードにおけるランダムアクセスであるが、間引きや加算で実際に読み出される画素にだけ水平デコーダ回路によるスタートパルスを入力する。図1で述べたシフトレジスタ構成は、特願平11-151615号公報の加算方式に則って記載しているが、センサー内部で行う加算方式もこれだけに止まらず、例えば加算範囲が水平方向に、3画素分、4画素分、5画素分と広がっていく場合、または間引き方式により実際に出力してほしい水平の画素位置が変わってくる。これに對応するには低解像度の読み出しモードで出力される画素においてのみシフトレジスタのスタートパ

ルスが入るようにデコーダ回路を構成すればよい。

【0052】次にOB部を考慮した構成であるが、図7にその回路図を示す。この回路ではAND回路14の出力側にD型フリップフロップ(DFF1')を接続し、AND回路14の出力、D型フリップフロップ(DFF1')の出力をそれぞれ水平シフトパルスOB11、OB21とし、これらの出力をそれぞれ一方の端子に入力し、他方の端子にφModeの反転信号を入力したAND回路16<sub>1</sub>'、16<sub>2</sub>'からの出力をそれぞれ水平シフトパルスOB12、OB22とする。この構成により、アドレス入力にかかわらず、常にOB画素である先頭の数画素分を駆動することができる。また、OB画素を指定する水平シフトパルス出力に図1や図6を用いて説明したモード切り替えを備えれば、全画素モードだけでなく、加算モード、間引きモードのランダムアクセスにも対応できる。

【0053】なお、図1～図7で述べたアドレス指定であるが、ここではHD0、HD1の2bitだけであり、<00>、<01>、<10>、<11>の4画素までなら直接指定することはできる。そのためセンサーの画素部を水平方向に4ブロックに分割して、その先頭画素をアドレス指定できるように構成されている。

【0054】上述した構成では、水平シフトパルスh11、h12が1CLKで出力されることから、例えば水平2000画素のうち1000画素分のアドレスを指定するならば10bitのアドレス線を用いれば行うことができる。

【0055】もし2000画素全て指し示す必要があるなら、1CLKで1本の水平シフトパルスが outputされるように構成にし、HD0～HD10までの11bitで全画素分をアドレス指定できるように構成し、全ての水平シフトパルスからスタートを行うことも可能であり、また、その際にシフトレジスタは、フリップフロップで構成せずとも、カウンターなどで1CLK毎にアドレス指定を変更し、直接、水平シフトパルスを出力する構成にしても良い。

【0056】本発明が適用できる全画素読み出し、加算読み出し又は／及び間引き読み出しが可能な撮像装置としては、例えば図15に示すような全画素読み出し、加算読み出し及び間引き読み出し（偶数フィールド及び奇数フィールドを示す）を行う特願平11-171136号に開示された撮像装置、図16に示すような全画素読み出し、加算読み出し及び間引き読み出し（偶数フィールド及び奇数フィールドを示す）を行う特願2000-106782号に開示された撮像装置、全画素読み出し、加算読み出し及び間引き読み出しを行う特願平11-206516号に開示された撮像装置等がある。

【0057】また、本発明における他のデコーダ部、シフトレジスタの構成としては、例えば特願平11-221736号に開示されたものがある。図17に示すよう

に、この回路構成はシフトレジスタ120内に水平画素選択スイッチ201～204、各スイッチの出力に抵抗211～214を設け、水平選択パルスHSELで全スイッチを同時にON、OFFできるようにしたものである。この構成は、出力線h1からではなく、例えば、出力線h2から走査を開始できるようにしたものである。まず、水平デコーダ部110に<00>を入力し出力線h1を選択できるようにする。しかしこのときは、水平選択パルスHSELをLowレベルとして、出力線h1からは出力させない。次のクロックCLKでシフトし、出力線h2に移動するが、このときは水平選択パルスHSELをHighレベルにし出力を可能とする。

【0058】図14にシステム概略図を示す。同図に示すように、光学系71を通じて入射した画像光はCMOSセンサー72上に結像する。CMOSセンサー72上に配置されている画素アレーによって光情報は電気信号へと変換される。その電気信号は信号処理回路73によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。CMOSセンサー72、信号処理回路73はタイミング制御回路75により制御され、光学系71、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御される。タイミング制御回路75により独立読出しか、加算読出しかを選択することができる。

【0059】前述した高画素読出し（全画素読出し）と低画素読出し（加算読出し）とでは水平と垂直駆動パルスが異なる。従って読出しモード毎にセンサーの駆動タイミング、信号処理回路の解像度処理、記録系の記録画素数を変える必要がある。これらの制御はシステムコントロール回路76で各読出しモードに応じて行われる。また読出しモードで、加算により感度が異なる。例えば高画素読出しに対し加算読出しだけでは信号量が2倍になる。このままではダイナミックレンジが1/2になるため不図示の絞りを半絞り小さく制御することにより適正信号を得る。この結果、低照度時は1/2の明るさまで撮影可能となる。信号処理回路及び記録系は高精細用と動画像用に別に設けても良い。

#### 【0060】

【発明の効果】以上説明したように本発明の撮像装置によれば、簡単な回路構成だけで、任意の位置からシフトレジスタ動作を走査開始、終了することができ、撮像画角において、ある任意のエリアだけをセンサーから出力できる。

【0061】また、全画素モードで動作させるようなデジタルカメラ、及びハイビジョン・デジタルビデオにおいては、2倍の電子ズームのときに、水平、垂直画素数の半分だけを走査すればよいが、このときランダムア

セス機能で簡単に行うことができる。同時に、センサーの動作速度も約1/4程度に収まり、センサーそのものの低消費電力駆動を可能とする。

【0062】また、そのときのズーム位置であるが、直接カメラを動かさずとも、全画素を表示している撮像エリア内であれば、タッチパネルや視線検知のようなもので、画像エリアを選択することも可能である。

【0063】また、加算モードで通常動作させるときは、全画素モードの水平、垂直の半分だけを走査すれば、解像度の落ちない、2倍の電子ズームを可能とし、また加算、間引きの両モードで、センサー内のあるエリアだけ読み出せば、これらの低画素モードにおいて電子ズームに対応できる。

#### 【図面の簡単な説明】

【図1】本発明に係わるランダムアクセス可能な、水平デコーダ部及びシフトレジスタの構成例を示す図である。

【図2】水平デコーダ部及びシフトレジスタのタイミング図である。

【図3】全画素モードにおいて、任意の位置から読み出すランダムアクセス機能を用いる時の動作タイミング図である。

【図4】画素加算モードにおける水平転送のタイミング図である。

【図5】加算モードにおいて、任意の位置から読み出すランダムアクセス機能を用いる時の動作タイミング図である。

#### 【図6】間引き方式の場合の回路構成を示す図である。

#### 【図7】OB部を考慮した場合の回路構成図である。

【図8】本発明に係わる撮像装置による画素信号読出し方法を示す概略説明図である。

【図9】CMOSセンサーおよび読み出し回路を示す回路図である。

【図10】本発明に係わる撮像装置の回路構成図である。

【図11】画素信号をメモリへ転送するタイミング図である。

【図12】メモリ信号を独立に読出す時と加算して読出す時とのタイミング図である。

【図13】共通アンプ画素の例を示す図である。

【図14】本発明による撮像システムの概略図である。

【図15】本発明に係わる撮像装置による他の画素信号読出し方法を示す概略説明図である。

【図16】本発明に係わる撮像装置による他の画素信号読出し方法を示す概略説明図である。

【図17】本発明に係わるランダムアクセス可能な、水平デコーダ部及びシフトレジスタの他の構成例を示す図である。

#### 【符号の説明】

1 水平シフトレジスタ

2 水平デコーダ部

11, 12, 13 インバータ

14, 16<sub>1</sub>~16<sub>n</sub> AND回路

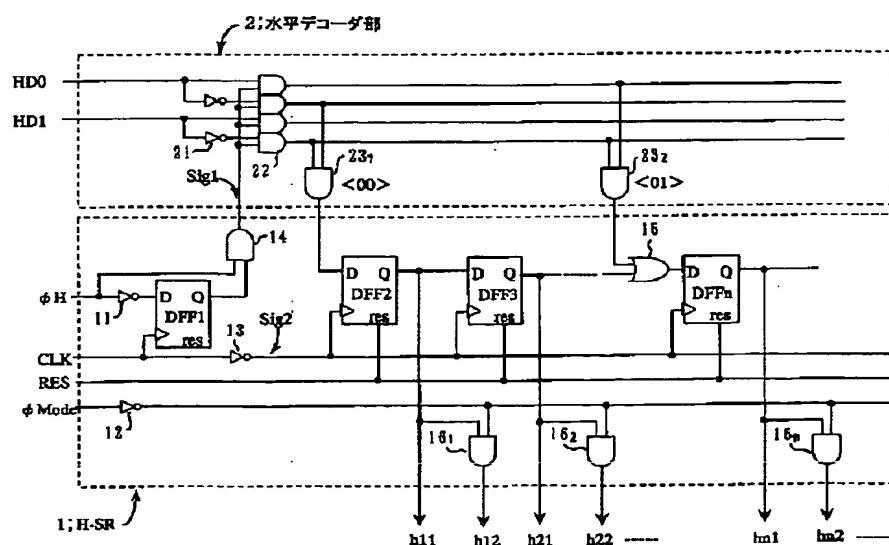
15 OR回路

22 AND回路

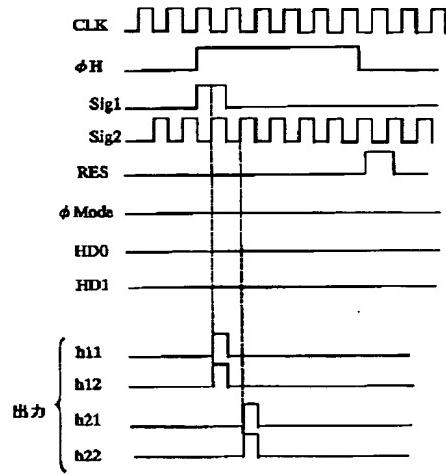
23<sub>1</sub>, 23<sub>2</sub> AND回路

DFF<sub>1</sub>~DFF<sub>n</sub> D型フリップフロップ

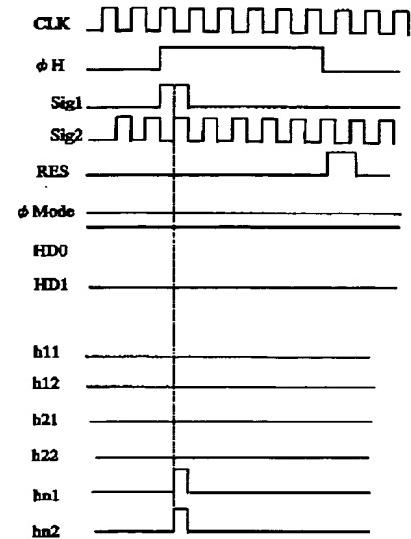
【図1】



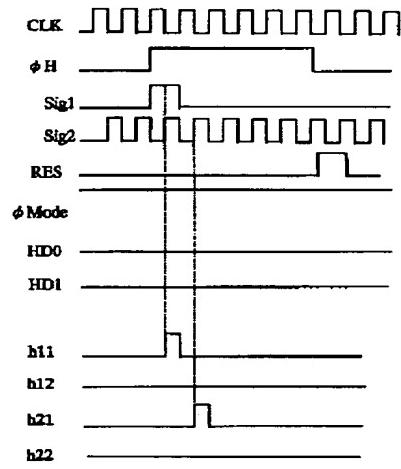
【図2】



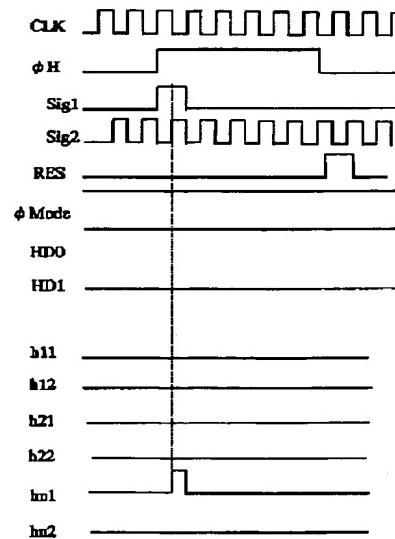
【図3】



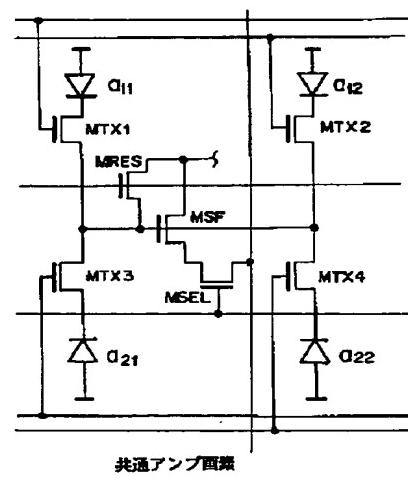
【図4】



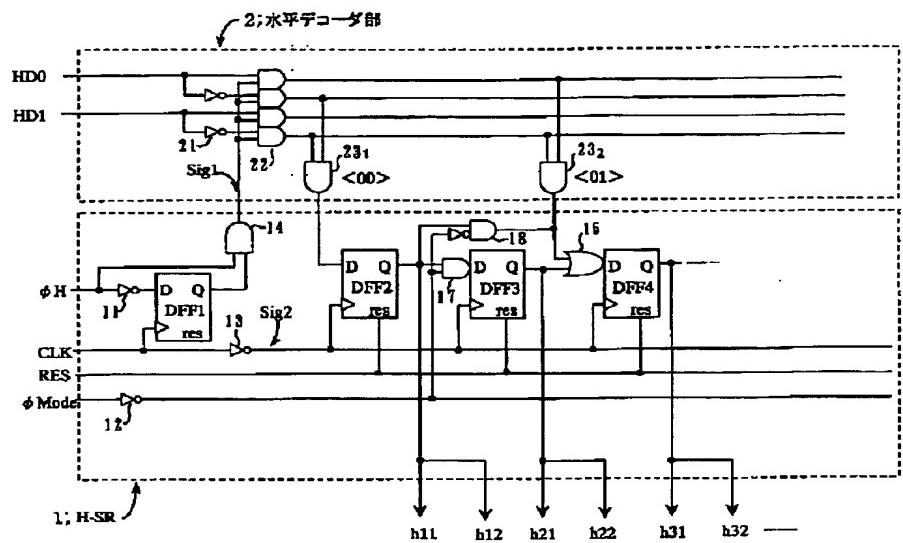
【図5】



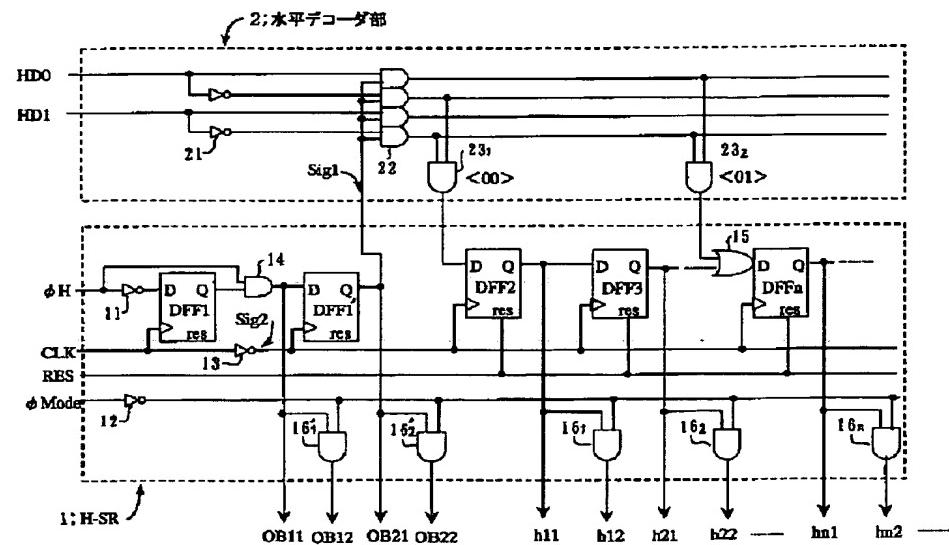
【図13】



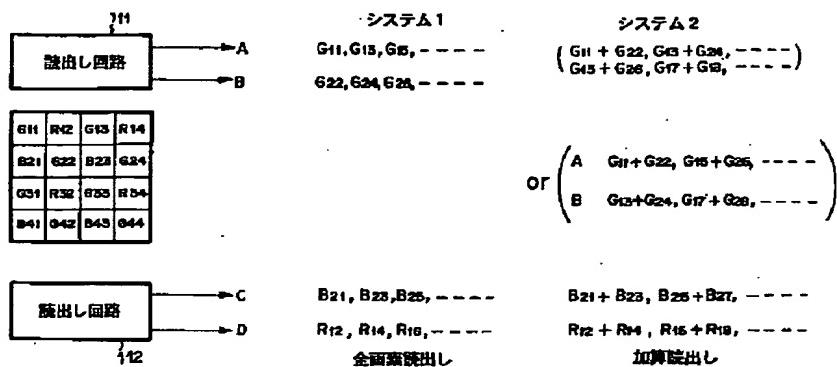
【図6】



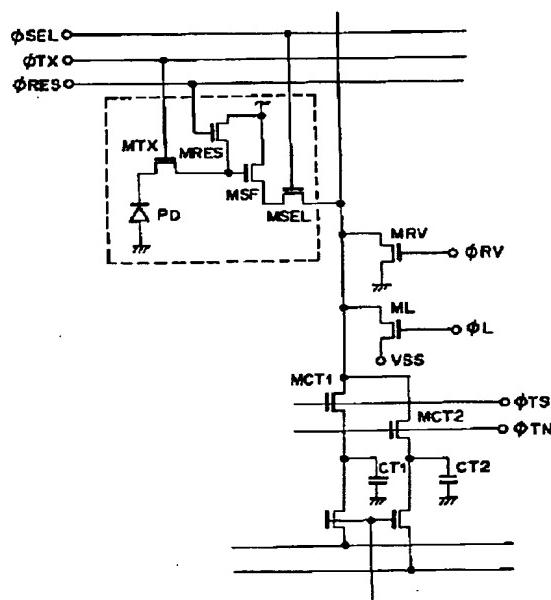
【図7】



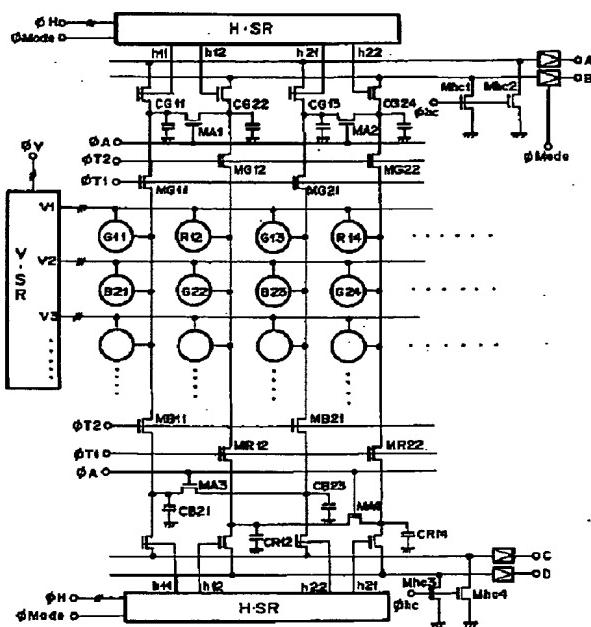
[图 8]



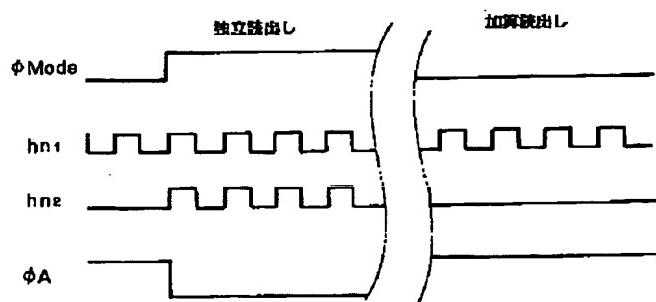
[図9]



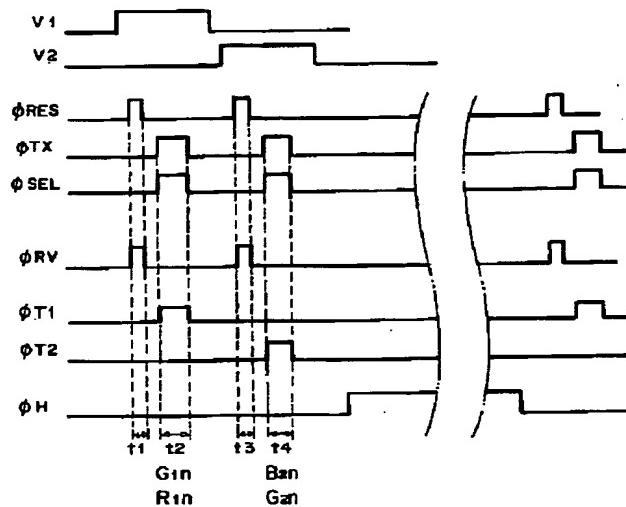
[図10]



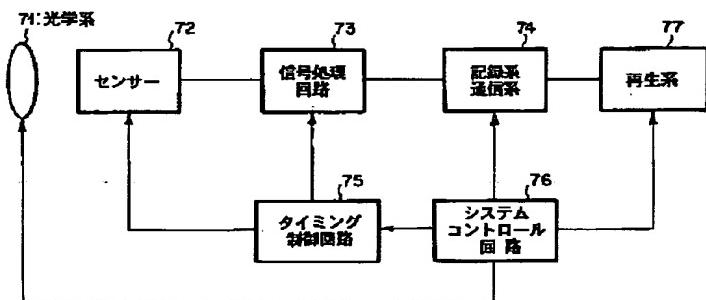
[図1-2]



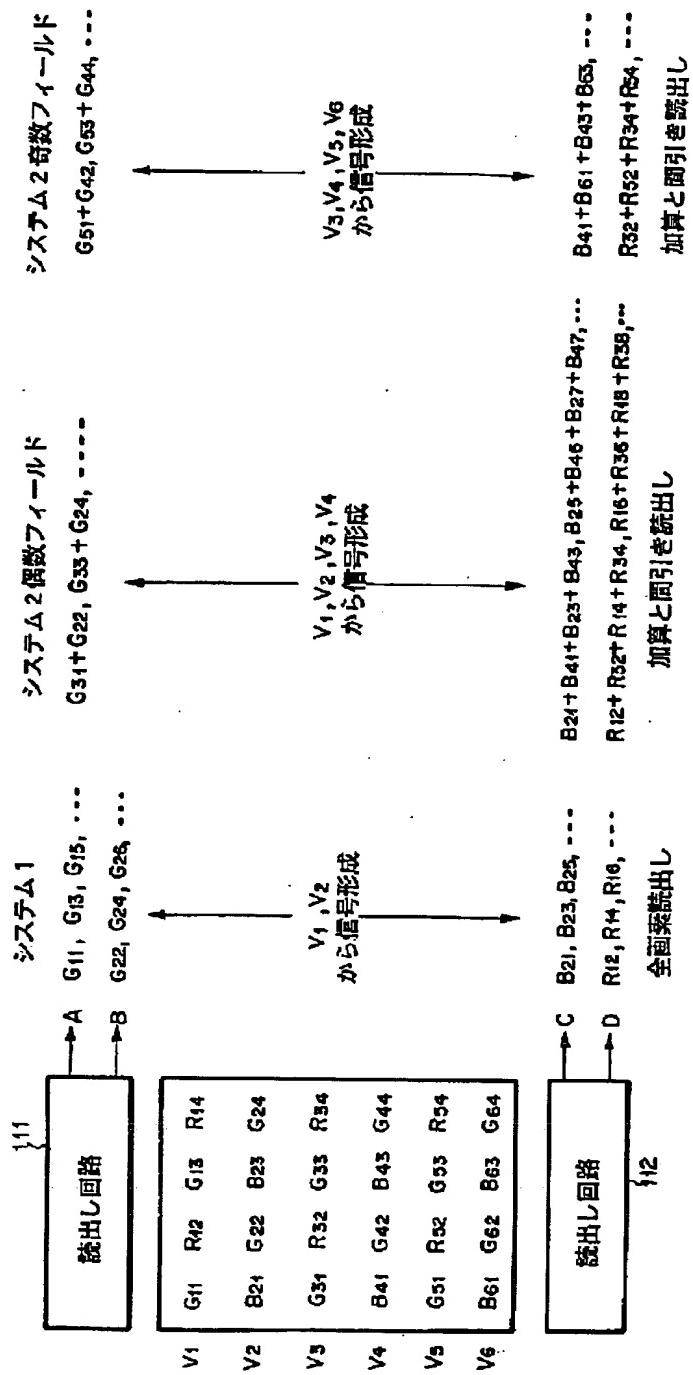
【図11】



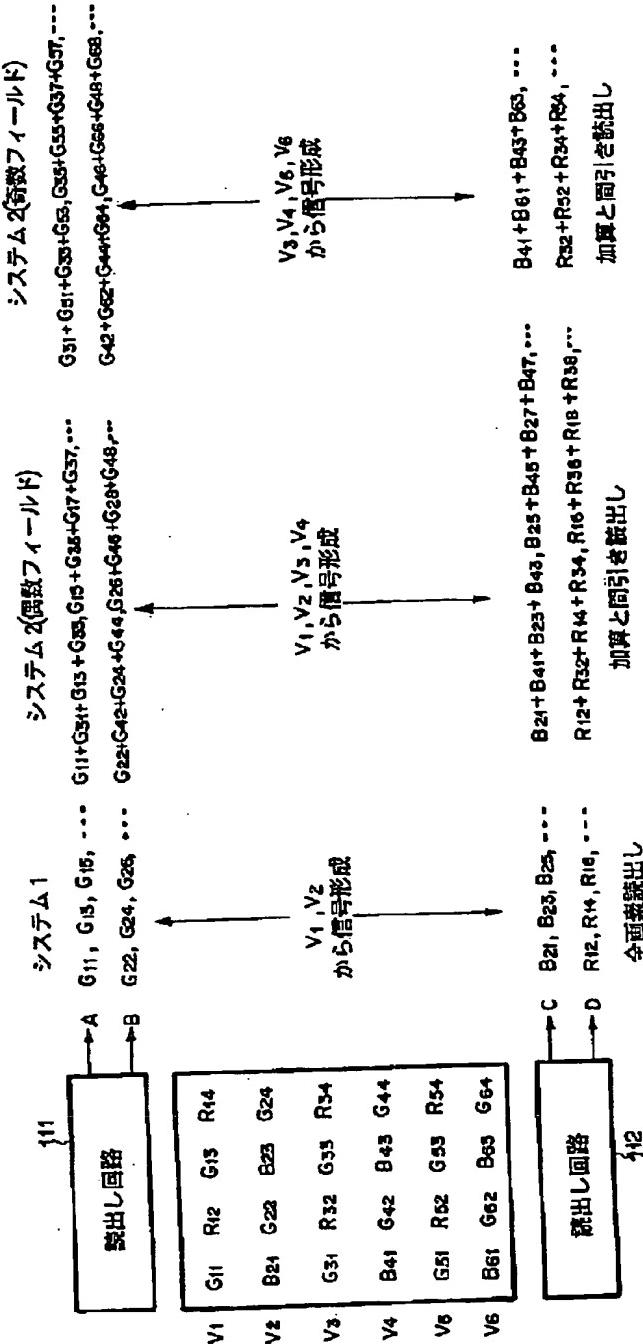
【図14】



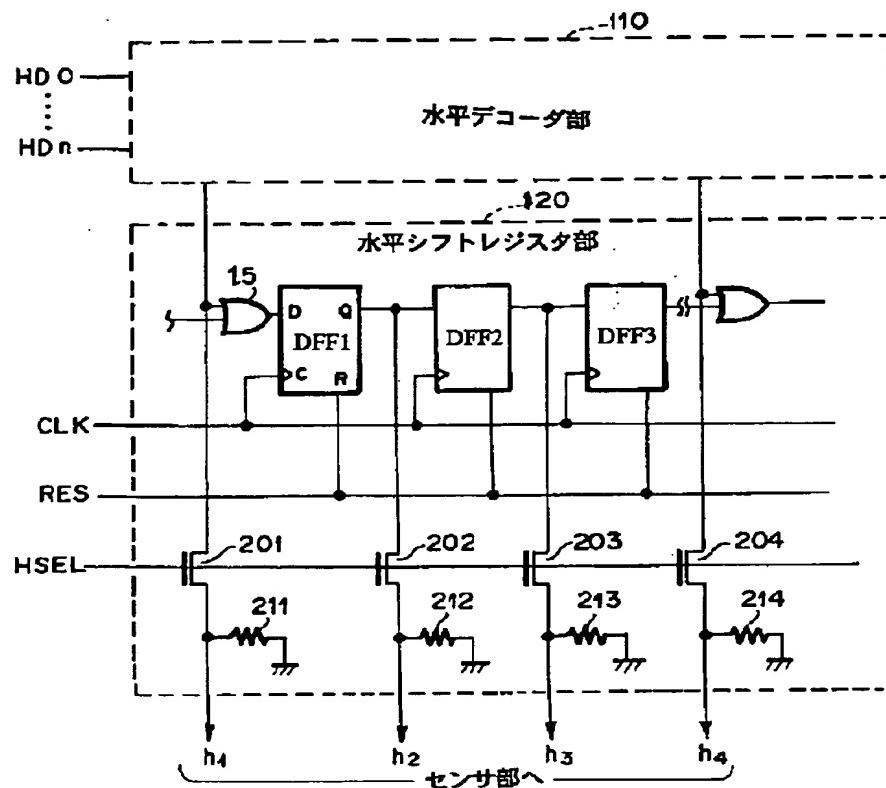
【図15】



【図16】



【図17】



フロントページの続き

Fターム(参考) 4M118 AA04 AA10 AB01 BA14 DB20  
 GB09 GC08  
 5C022 AA01 AA13 AB13 AB36 AB67  
 AC41  
 5C024 AX01 BX01 BX04 CX04 CY12  
 CY42 DX01 DX02 DX04 GX03  
 GX22 GY39 GZ24 HX26 JX15  
 5C065 AA01 AA03 BB22 CC01 CC02  
 CC03 CC07 CC08 DD15 DD17  
 GG21 GG26 GG35 GG36